

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Je-kwang Cho
Serial No. To be assigned
Filed: Concurrently herewith
For: VOLTAGE CONTROLLED OSCILLATORS WITH SELECTABLE
OSCILLATION FREQUENCIES AND METHODS FOR ADJUSTING THE SAME

December 2, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

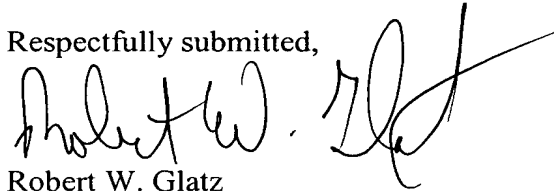
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-0006364, filed January 30, 2003.

Respectfully submitted,

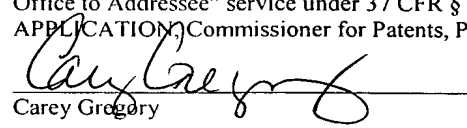

Robert W. Glatz
Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318416568 US
Date of Deposit: December 2, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0006364
Application Number

출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

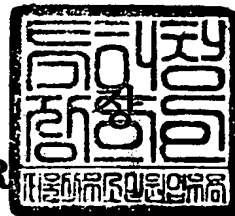
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.01.30
【국제특허분류】	H03F
【발명의 명칭】	넓은 주파수 대역에서 일정한 이득을 가지는 전압 제어 발진기 및 그 방법
【발명의 영문명칭】	Wide band voltage controlled oscillator with constant gain and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	조제광
【성명의 영문표기】	CH0, Je Kwang
【주민등록번호】	750706-1683624
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 77-2번지 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	15	면	15,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	18	항	685,000	원
---------	----	---	---------	---

【합계】	729,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】

【요약】

넓은 주파수 대역에서 일정한 이득을 가지는 전압 제어 발진기 및 그 방법이 개시된다. 상기 전압 제어 발진기는 스위치드 커패시터와 바랙터를 동시에 이용하는 LC 전압 제어 발진기로서, 가변되는 전체 캐패시턴스와 고정된 전체 인덕턴스에 응답하는 공진 주파수를 갖는 증폭된 발진 신호를 발생시켜 발진 신호 출력단으로 출력한다. 스위치드 (switched) 커패시터의 커패시턴스가 변할 때, 바랙터 커패시턴스가 동시에 변동됨에 따라 전체 커패시턴스도 변동한다. 따라서, 상기 전압 제어 발진기는, 저잡음 특성을 가지며, 특히 스위치드(switched) 커패시터 개수 또는 그 커패시턴스의 증가에 무관하게, 넓은 동작 주파수의 대역폭 및 이득이 일정하게 유지되므로, PLL에 적용되는 경우 높은 안정도(stability)를 만족시킬 수 있는 효과가 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

넓은 주파수 대역에서 일정한 이득을 가지는 전압 제어 발진기 및 그 방법{Wide band voltage controlled oscillator with constant gain and method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 LC(인덕터-커패시터) 전압 제어 발진기의 간략화된 회로도이다.

도 2는 본 발명의 개념을 나타내는 전압 제어 발진기의 회로도이다.

도 3은 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt}) 변화에 따른 주파수 특성을 나타내는 그래프이다.

도 4는 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt}) 변화에 따른 이득(gain)을 나타내는 그래프이다.

도 5는 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt})을 일정하게 한 경우에, 디지털 제어 신호의 변화에 따른 이득을 나타내는 그래프이다.

도 6은 도 2의 전압 제어 발진기의 스위치드(switched) 바랙터의 단위 면적(A_{sw}) 변화 및 디지털 제어 신호의 변화에 따른 이득을 나타내는 그래프이다.

도 7은 도 2의 전압 제어 발진기를 CMOS로 구현한 본 발명의 다른 실시예에 따른 전압 제어 발진기의 회로도이다.

도 8은 도 7의 커패시터 뱅크(bank)부를 나타내는 구체적인 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 전압 제어 발진기에 관한 것으로, 특히, LC(인덕터-커패시터) 전압 제어 발진기 및 그 전압 제어 발진 방법에 관한 것이다.
- <11> 이동 통신 시스템에서 사용되는 일반적인 전압 제어 발진기는 인덕터(inductor)와 바랙터(varactor)를 이용한 LC(인덕터-커패시터) 전압 제어 발진기이다. LC(인덕터-커패시터) 전압 제어 발진기는 주파수 가변성 및 뛰어난 저잡음 특성으로 인하여 이동 통신 시스템에서 국부 발진기로 사용된다.
- <12> 최근의 통신용 IC가 멀티-밴드(multi-band) 및 멀티-모드(multi-mode) 특성을 요구함에 따라, 요구되는 전압 제어 발진기의 동작 주파수도 매우 넓어지고 있다. 전압 제어 발진기는 통신 시스템의 PLL(phase-locked loop)에서 국부 발진기로 사용되며, 또한 GSM(Global System for Mobile communications) 같은 시스템 송신단의 오프셋(offset) PLL(phase-locked loop)에서 사용된다. PLL(phase-locked loop)이 안정적으로 동작하기 위해서는 안정도(stability) 특성이 좋아야 하고, PLL(phase-locked loop)의 안정도(stability)가 좋아지기 위해서는 전압 제어 발진기의 이득(gain)이 넓은 동작 주파수 범위에서 크게 변하지 않아야 한다.
- <13> 도 1은 일반적인 LC(인덕터-커패시터) 전압 제어 발진기의 간략화된 회로도이다.
- <14> 도 1을 참조하면, 일반적인 LC(인덕터-커패시터) 전압 제어 발진기는, 입력 전압에 따라서 바랙터(varactor)의 커패시턴스(C_v)가 변할 때, 가변되는 전체 커패시턴스와 고

정된 전체 인덕턴스에 의해 공진 주파수가 달라지는 현상을 이용한다. 도 1에서, R과 Cload는 발진 신호(V_o) 출력단에 기생하는 다른 저항 성분이나 커패시턴스 성분을 나타낸다.

<15> 이외에도, 스위치드(switched) 커패시터와 바랙터(varactor)를 동시에 이용하는 일반적인 LC(인덕터-커패시터) 전압 제어 발진기도 있다. 이와 같은 LC(인덕터-커패시터) 전압 제어 발진기에 대하여는 미국 특허, "US006211745B1"에 잘 나타나 있다.

<16> 그런데, 도 1과 같은 LC(인덕터-커패시터) 전압 제어 발진기의 경우에, 바랙터(varactor) 커패시턴스(C_v)의 변화 범위를 넓혀서 발진 주파수의 대역폭을 크게 할 수 있지만, 이때 발진기의 이득(gain)을 크게 해 주어야 한다. 그러나, 이러한 발진기의 이득(gain)이 너무 크게 되면, 발진기의 잡음 특성이 나빠지는 문제점이 있다. 또한, 최근 IC의 공급 전압이 점차적으로 저전압화 되어감에 따라, 바랙터(varactor) 소자를 이용한 발진기에서 주파수 대역폭을 크게 하는 것은 한계가 있다는 문제점이 있다.

<17> 스위치드(switched) 커패시터와 바랙터(varactor)를 동시에 이용하여 대역폭을 크게 하는 일반적인 LC(인덕터-커패시터) 전압 제어 발진기에서는, 스위치드(switched) 커패시터 개수가 증가될 때, 동작 주파수의 대역폭이 커지지만, 발진기의 이득(gain) 변화가 심하여, PLL(phase-locked loop)에 적용되는 경우 안정도(stability)가 만족되지 않는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명이 이루고자하는 기술적 과제는, 스위치드(switched) 커패시터와 바랙터(varactor)를 동시에 이용하는 LC(인덕터-커패시터) 전압 제어 발진기에서, 스위치

드(switched) 커패시터의 커패시턴스가 변할 때, 바랙터(varactor) 커패시턴스 변화가 동시에 이루어지도록 함으로써, 넓은 주파수 대역에서도 일정한 이득(gain)을 가지는 전압 제어 발진기를 제공하는 데 있다.

<19> 본 발명이 이루고자하는 다른 기술적 과제는, 스위치드(switched) 커패시터와 바랙터(varactor)를 동시에 이용하는 LC(인덕터-커패시터) 전압 제어 발진기에서, 스위치드(switched) 커패시터의 커패시턴스가 변할 때, 바랙터(varactor) 커패시턴스 변화가 동시에 이루어지도록 함으로써, 넓은 주파수 대역에서도 일정한 이득(gain)을 가지는 전압 제어 발진기의 전압 제어 발진 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 전압 제어 발진기는, 트랜스 컨덕턴스(G_m) 증폭기, 인덕터(inductor), 고정(nonswitched) 바랙터(varactor), 스위치드(switched) 커패시터들, 및 스위치드(switched) 바랙터들(varactors)을 구비한다.

<21> 상기 트랜스 컨덕턴스(G_m) 증폭기는 입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호(V_o)를 발생시켜 발진 신호 출력단(V_o 노드)으로 출력한다.

<22> 상기 인덕터(inductor)는 상기 전체 인덕턴스를 공급한다.

<23> 상기 고정(nonswitched) 바랙터(varactor)는 콘트롤 전압(V_{cnt}) 입력단으로 입력되는 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스를 변동시켜, 상기 전체 커패시턴스 변동에 기여한다.

- <24> 상기 스위치드(switched) 커패시터들은 소정 제어 회로에 의하여 제어되는 다수개의 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되는 커패시터들을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여한다.
- <25> 상기 스위치드(switched) 바랙터들(varactors)은 상기 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스가 변동되는 바랙터들(varactors)을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여한다.
- <26> 여기서, 상기 트랜스 컨덕턴스(G_m) 증폭기는, 바이폴라 트랜지스터를 구비하여 설계되는 것을 특징으로 한다. 상기 트랜스 컨덕턴스(G_m) 증폭기는, 전계 효과 트랜지스터를 구비하여 설계되는 것일 수 있다.
- <27> 상기 스위치드(switched) 커패시터들은, 다수개의 상기 커패시터들을 구비하며, 상기 커패시터들 각각의 커패시턴스는 이진 가중치가 부여되어 $C_{SW}, 2^1C_{SW}, \dots, 2^{(n-1)}C_{SW}$ (여기서, C_{SW} 는 최하위 커패시터의 커패시턴스) 값을 가지는 것을 특징으로 한다.
- <28> 상기 스위치드(switched) 바랙터들(varactors)은, 다수개의 상기 바랙터들(varactors)을 구비하며, 상기 바랙터들(varactors) 각각의 커패시턴스는 이진 가중치가 부여되어 $C_{VSW}, 2^1C_{VSW}, \dots, 2^{(n-1)}C_{VSW}$ (여기서, C_{VSW} 는 최하위 바랙터의 커패시턴스) 값을 가지는 것을 특징으로 한다.

<29> 상기 스위치드(switched) 바랙터들(varactors)에 구비되는 상기 바랙터들 (varactors)은, 상기 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스가 변동되는 수단 인 것을 특징으로 한다. 상기 스위치드(switched) 바랙터들(varactors)에 구비되는 상기 바랙터들(varactors)은, 특히, 상기 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스 가 변동되는 pn 접합 다이오드 구조를 가지는 것을 특징으로 한다.

<30> 상기 소정 제어 회로는, 상기 스위치(switched)드 바랙터들(varactors)에 구비되는 상기 디지털 스위치들의 온오프를 제어하는 디지털 제어 신호를 발생시켜, 상기 스위치 드 바랙터 면적의 적절한 선택으로, 상기 전체 캐패시턴스에 의하여 상기 발진기의 이득 변화율이 최소가 되도록 제어하는 것을 특징으로 한다. 특히, 상기 디지털 스위치들의 온오프 제어는, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들 (varactors)의 커패시턴스를 합산한 값이, 상기 발진기의 이득을 나타내는 소정 수학적 으로부터 계산된 수학적들

$$\begin{aligned} Q &= -\frac{(1 + \frac{C_d}{C_{u,k}})^2}{9}, \quad R = -\frac{27 \cdot (\frac{C_d + C_{sw}}{C_{u,k}}) + 2 \cdot (1 + \frac{C_d}{C_{u,k}})^3}{54} \\ S &= \sqrt[3]{R + \sqrt{Q^3 + R^2}}, \quad T = \sqrt[3]{R - \sqrt{Q^3 + R^2}}, \quad \text{where } S \cdot T = -Q \end{aligned}$$

$$a = (S + T + (\frac{1}{3})) \cdot (1 + \frac{C_d}{C_{u,k}})^3 = \frac{A_0 + (k+1) \cdot A_{sw}}{A_0 + k \cdot A_{sw}}$$

$$A_{sw} = \frac{A_0 \cdot (a - 1)}{k \cdot (1 - a) + 1}$$

- <34> (여기서, C_d 는 발진 신호 출력단의 기생 부하 커패시턴스, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, C_{sw} 는 스위치드 커패시터들의 커패시턴스, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적)
- <35> 로부터, 상기 k 의 변화에 따른 상기 이득 변화율을 최소화하는 상기 A_{sw} 를 결정하고, 수학식
- <36>
$$C_{vk} = (A_0 + k \cdot A_{sw}) \cdot C_{j0} \cdot (1 + V_{cnt}/\phi)^{-m}$$
- <37> (여기서, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적, V_{cnt} 는 입력되는 콘트롤 전압, C_{j0} 는 역바이어스 전압이 0일때의 바랙터의 단위 면적당 커패시턴스, ϕ 는 빌트인 포텐셜, m 은 바랙터 특성을 나타내는 임의의 계수)
- <38> 를 만족하도록 제어하는 것을 특징으로 한다.
- <39> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 전압 제어 발진기의 전압 제어 발진 방법은, 다음과 같은 단계를 구비한다.
- <40> 즉, 본 발명에 따른 전압 제어 발진기의 전압 제어 발진 방법은, 먼저, 상기 발진기에 구비되는 인덕터(inductor)가, 전체 인덕턴스를 공급하고, 상기 발진기에 구비되는

소정 바랙터(varactor)가, 콘트롤 전압(V_{cnt}) 입력단으로 입력되는 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스를 변동시켜, 전체 커패시턴스 변동에 기여한다.

<41> 상기 발진기에서 소정 제어 회로에 의하여 제어되는 다수개의 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되는 커패시터들로 구비되는 스위치드(switched) 커패시터들은, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여한다. 상기 발진기에서 상기 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스가 변동되는 바랙터들(varactors)로 구비되는 스위치드(switched) 바랙터들(varactors)은, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여한다.

<42> 이에 따라, 상기 발진기에 구비되는 트랜스 컨덕턴스(G_m) 증폭기는, 입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호(V_o)를 발생시켜 발진 신호 출력단(V_o 노드)으로 출력한다.

<43> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<45> 도 2는 본 발명의 개념을 나타내는 전압 제어 발진기의 회로도이다.

<46> 도 2를 참조하면, 본 발명의 개념을 나타내는 전압 제어 발진기는, 트랜스 컨덕턴스(G_m) 증폭기(100), 인덕터(inductor)(110), 고정(nonswitched) 바랙터(varactor)(120), 스위치드(switched) 커패시터들(130), 및 스위치드(switched) 바랙터들(varactors)(140)을 구비한다. 도 2에서, C_d 는 발진 신호 출력단(V_o 노드)에 기생하는 다른 커패시턴스 성분이며, 저항 R 은 발진 신호 출력단(V_o 노드)에 기생하는 다른 저항성분을 나타낸다.

<47> 상기 트랜스 컨덕턴스(G_m) 증폭기(100)는 입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호(V_o)를 발생시켜 발진 신호 출력단(V_o 노드)으로 출력한다. 여기서, 상기 트랜스 컨덕턴스(G_m) 증폭기(100)는, 바이폴라 트랜지스터를 구비하여 설계되는 증폭기인 것을 특징으로 한다. 상기 트랜스 컨덕턴스(G_m) 증폭기(100)는, 전계 효과 트랜지스터를 구비하여 설계되는 증폭기일 수 있다.

<48> 상기 인덕터(inductor)(110)는 상기 전체 인덕턴스를 공급한다.

<49> 상기 고정(nonswitched) 바랙터(varactor)(120)는 콘트롤 전압(V_{cnt}) 입력단으로 입력되는 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스를 변동시켜, 상기 전체 커패시턴스 변동에 기여한다.

<50> 상기 스위치드(switched) 커패시터들(130)은 소정 제어 회로에 의하여 제어되는 다수개의 디지털 스위치들, 즉 SW_0 내지 $SW_{(n-1)}$ 및 상기 디지털 스위치들 각각에 접속되는 커패시터들을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여한다. 도 2에 도시된 바와 같이, 상기 스위치드(switched) 커패시터들(130)은, 다수개의

상기 커패시터들을 구비하며, 상기 커패시터들 각각의 커패시턴스는 이진 가중치가 부여되어 C_{SW} , $2^1 C_{SW}$, ..., $2^{(n-1)} C_{SW}$ (여기서, C_{SW} 는 최하위 커패시터의 커패시턴스) 값을 가지는 것을 특징으로 한다.

<51> 상기 스위치드(switched) 바랙터들(varactors)(140)은 상기 디지털 스위치들, 즉 SW0 내지 SW(n-1) 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압(Vcnt)의 변동에 대응하여 커패시턴스가 변동되는 바랙터들(varactors)을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여한다. 도 2에 도시된 바와 같이, 상기 스위치드(switched) 바랙터들(varactors)(140)은, 다수개의 상기 바랙터들(varactors)을 구비하며, 상기 바랙터들(varactors) 각각의 커패시턴스는 이진 가중치가 부여되어 C_{VSW} , $2^1 C_{VSW}$, ..., $2^{(n-1)} C_{VSW}$ (여기서, C_{VSW} 는 최하위 바랙터의 커패시턴스) 값을 가지는 것을 특징으로 한다. 여기서, 상기 스위치드(switched) 바랙터들(varactors)(140)에 구비되는 상기 바랙터들(varactors)은, 상기 콘트롤 전압(Vcnt)의 변동에 대응하여 커패시턴스가 변동되는 수단인 것을 특징으로 한다. 상기 스위치드(switched) 바랙터들(varactors)(140)에 구비되는 상기 바랙터들(varactors)은, 특히, 상기 콘트롤 전압(Vcnt)의 변동에 대응하여 커패시턴스가 변동되는 pn(p형과 n형 반도체) 접합 다이오드 구조를 가지는 것을 특징으로 한다.

<52> 상기 소정 제어 회로는, 상기 스위치(switched)드 바랙터들(varactors)(140)에 구비되는 상기 디지털 스위치들의 온오프를 제어하는 디지털 제어 신호를 발생시켜, 상기 스위치드 바랙터 면적의 적절한 선택으로, 상기 전체 커패시턴스에 의하여 상기 발진기의 이득 변화율이 최소가 되도록 제어하는 것을 특징으로 한다. 특히, 상기 디지털 스위



치들의 온오프 제어는, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산한 값이, [수학식 1]을 기초로 계산할 수 있는 상기 발진기의 이득을 나타내는 [수학식 2]로부터 계산된 [수학식 3]으로부터, 상기 k의 변화에 따른 상기 이득 변화율을 최소로하는 상기 A_{sw} 를 결정하는 것이다. [수학식 3]의 $C_{v,k}$ 는 [수학식 4]를 만족한다. [수학식 3]은, [수학식 2]에서 k의 변화에 무관하게 상기 발진기의 이득 $K_{vco,k}$ 이 일정 값을 가지도록 하는 조건 " $K_{vco,k} = K_{vco,k+1}$ "로 부터 계산된다. 아래식들에서, "0"부터 " 2^n-1 "까지 변하는 k는 이진 디지털 제어 신호 값을 십진수로 바꾼 값이다.

$$\text{<53>} \quad \text{【수학식 1】} \quad F = \frac{1}{2\pi\sqrt{LC}},$$

$$\text{<54>} \quad C = C_v + k \times C_{sw} + C_d,$$

$$\text{<55>} \quad C_v = A \cdot C_{jo} \cdot (1 + V_{cnt}/\phi)^{-m},$$

$$\begin{aligned} \text{<56>} \quad K_{vco} &= \frac{\partial F}{\partial V_{cnt}} \\ &= \frac{\partial F}{\partial C_v} \cdot \frac{\partial C_v}{\partial V_{cnt}} \\ &= -\frac{1}{4\pi \cdot \sqrt{L}} (C_d + k \cdot C_{sw} + C_v)^{-3/2} \cdot (-m) \cdot A \cdot C_{jo} \cdot (1 + V_{cnt}/\phi)^{-(m+1)} \cdot (1/\phi) \\ &= \frac{A \cdot C_{jo} \cdot m}{4\pi \cdot \sqrt{L}} (C_d + k \cdot C_{sw} + C_v)^{-3/2} \cdot (1 + V_{cnt}/\phi)^{-(m+1)} \cdot (1/\phi) \end{aligned}$$

<57> (여기서, F는 공진 주파수, L은 인덕터의 인덕턴스, C는 전체 컨덕턴스, C_d 는 발진 신호 출력단의 기생 부하 커패시턴스, k는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, C_{sw} 는 스위치드 커패시터들의 커패시턴스, K_{vco} 는 발진기의 이득, A는 바랙



터의 커패시턴스를 구성하는 면적, V_{cnt} 는 입력되는 콘트롤 전압, C_{jo} 는 역바이어스 전압이 0일때의 바랙터의 단위 면적당 커패시턴스, ϕ 는 빌트인 포텐셜, m 은 바랙터 특성을 나타내는 임의의 계수)

<58>

【수학식 2】
$$K_{vco,k} = \frac{(A_0 + k \cdot A_{sw}) \cdot C_{jo} \cdot m}{\phi \cdot 4\pi \cdot \sqrt{L}} (C_d + k \cdot C_{sw} + C_{u,k})^{-3/2} \cdot (1 + V_{cnt}/\phi)^{-(m+1)}$$

<59>

(여기서, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적)

<60>

【수학식 3】
$$Q = -\frac{(1 + \frac{C_d}{C_{u,k}})^2}{9}, \quad R = -\frac{27 \cdot (\frac{C_d + C_{sw}}{C_{u,k}}) + 2 \cdot (1 + \frac{C_d}{C_{u,k}})^3}{54}$$

$$S = \sqrt[3]{R + \sqrt{Q^3 + R^2}}, \quad T = \sqrt[3]{R - \sqrt{Q^3 + R^2}}, \quad \text{where } S \cdot T = -Q$$

<61>

$$a = (S + T + (\frac{1}{3})) \cdot (1 + \frac{C_d}{C_{u,k}}))^3 = \frac{A_0 + (k+1) \cdot A_{sw}}{A_0 + k \cdot A_{sw}}$$

<62>

$$A_{sw} = \frac{A_0 \cdot (a-1)}{k \cdot (1-a) + 1}$$

<63>

(여기서, C_d 는 발진 신호 출력단의 기생 부하 커패시턴스, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, $C_{v,k}$ 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, C_{sw} 는 스위치드 커패시터들의 커패시턴스, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적)

<64> 【수학식 4】 $C_{uk} = (A_0 + k \cdot A_{sw}) \cdot C_{jo} \cdot (1 + V_{cnt}/\phi)^{-m}$

<65> (여기서, k는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, $C_{v,k}$ 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적, V_{cnt} 는 입력되는 콘트롤 전압, C_{jo} 는 역바이어스 전압이 0일때의 바랙터의 단위 면적당 커패시턴스, ϕ 는 빌트인 포텐셜, m은 바랙터 특성을 나타내는 임의의 계수)

<66> 상기한 바와 같이, 상기 소정 제어 회로가, [수학식 3]으로부터 상기 k의 변화에 따른 상기 이득 변화율이 최소로 되도록 상기 A_{sw} 값을 결정하며, 상기 스위치드 (switched) 바랙터들(varactors)(140)에 구비되는 다수개의 상기 바랙터들(varactors)을 선택하면, 동시에 선택되는 상기 스위치드(switched) 커패시터들(130)에 의하여 감소되는 이득이 보상되고, 결국 상기 발진기는 넓은 동작 주파수에서 일정한 이득을 유지하게 된다.

<67> 따라서, 스위치드(switched) 커패시터 개수 또는 그 커패시턴스의 증가에 무관하게, 본 발명의 발진기에서는 넓은 동작 주파수의 대역폭 및 이득(gain)이 일정하게 유지되므로, PLL(phase-locked loop)에 적용되는 경우 높은 안정도(stability)가 만족된다.

<68> 도 3은 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt}) 변화에 따른 주파수 특성을 나타내는 그래프이다.

<69> 도 3을 참조하면, n이 3인 경우를 가정하여 시뮬레이션하였고, 이때 상기 k가 0부터 7 까지 변함에 따른 주파수 특성(Freq0~Freq7)이 나타나 있다. 도 3에서, 본 발명의

개념을 나타내는 전압 제어 발진기의 동작 주파수는 콘트롤 전압(V_{cnt})의 증가에 따라 약간씩 증가하는 특성을 보인다.

<70> 도 4는 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt}) 변화에 따른 이득(gain)을 나타내는 그래프이다.

<71> 도 4를 참조하면, n 이 3인 경우를 가정하여 시뮬레이션하였고, 이때 상기 k 가 0부터 7 까지 변함에 따른 이득 특성($K_{vco0} \sim K_{vco7}$)이 나타나 있다. 도 4에서, 본 발명의 개념을 나타내는 전압 제어 발진기의 이득은, 콘트롤 전압(V_{cnt})이 1(V)인 경우를 포함하여, 일정한 콘트롤 전압(V_{cnt})에서는 모든 동작 주파수에서 거의 일치함을 알 수 있다.

<72> 도 5는 도 2의 전압 제어 발진기의 콘트롤 전압(V_{cnt})을 일정하게 한 경우에, 디지털 제어 신호의 변화에 따른 이득을 나타내는 그래프이다.

<73> 도 5를 참조하면, n 이 3인 경우를 가정하여 시뮬레이션하였고, 이때 상기 k 가 0부터 7 까지 변함에 따른 이득의 변화율이 나타나 있다. 도 5에서, 본 발명의 개념을 나타내는 전압 제어 발진기의 이득 변화율은, 상기 k 가 작을 때는 매우 작지만, 상기 k 가 커질수록 약간의 변화를 보인다. 즉, k 의 값을 0~7까지 변화시켰을 때, 본 발명의 개념을 나타내는 전압 제어 발진기의 이득 변화율은, 8%정도로 매우 미미하다.

<74> 도 6은 도 2의 전압 제어 발진기의 스위치드(switched) 바랙터의 단위 면적(A_{sw}) 변화 및 디지털 제어 신호의 변화에 따른 이득을 나타내는 그래프이다.

<75> 도 6을 참조하면, n 이 3인 경우를 가정하여 시뮬레이션하였고, 이때 상기 k 가 0부터 7 까지 변함에 따른 이득의 변화율이 나타나 있다. 위에서 기술한 바와 같이, A_{sw} 는 단위 스위치드 바랙터의 캐패시턴스를 구성하는 면적이다. 도 6에 도시된 바와 같이,

Asw를 3.5, 4, 4.5, 및 5로 변화시킨 경우의 이득 변화($K_{vco,k@Asw=3}$ 내지 $K_{vco,k@Asw=5}$)에서, Asw가 4.5일 때가 최적이고, 이때 본 발명의 개념을 나타내는 전압 제어 발진기의 이득 변화율은 4% 정도로 매우 작게 나타난다.

<76> 도 7은 도 2의 전압 제어 발진기를 CMOS로 구현한 본 발명의 다른 실시예에 따른 전압 제어 발진기의 회로도이다. 또한, 도 8은 도 7의 커패시터 뱅크(bank)부(730)를 나타내는 구체적인 회로도이다.

<77> 도 7을 참조하면, 본 발명의 다른 실시예에 따른 전압 제어 발진기는, 트랜스 컨덕턴스(G_m) 증폭기(700), 인덕터(inductor)(710), 고정(nonswitched) 바랙터(varactor)(720), 및 커패시터 뱅크(bank)부(730)를 구비한다. 여기서, 도 8을 참조하면, 상기 커패시터 뱅크(bank)부(730)는 스위치드(switched) 커패시터들(731), 및 스위치드(switched) 바랙터들(varactors)(733)을 구비한다.

<78> 도 7 및 도 8에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 전압 제어 발진기는, 도 2의 발진기를 CMOS 구조로 구현한 것으로서, 트랜스 컨덕턴스(G_m) 증폭기(700), 인덕터(inductor)(710), 고정(nonswitched) 바랙터(varactor)(720), 및 커패시터 뱅크(bank)부(730)에 구비되는 스위치드(switched) 커패시터들(731), 및 스위치드(switched) 바랙터들(varactors)(733) 각각의 동작은, 도 2의 트랜스 컨덕턴스(G_m) 증폭기(100), 인덕터(inductor)(110), 고정(nonswitched) 바랙터(varactor)(120), 스위치드(switched) 커패시터들(130), 및 스위치드(switched) 바랙터들(varactors)(140)의 동작과 같다. 도 2의 본 발명의 개념을 나타내는 전압 제어 발진기는, 도 7 및 도 8에 도시된 본 발명의 다른 실시예에 따른 전압 제어 발진기의 등가 모델로 볼 수도 있다.

<79> 도 7에서, D는 도 8에 도시된 다수개의 디지털 스위치들의 온오프를 제어하는 신호들($D_0 \sim D_{n-1}$)을 가리키고, 이 신호들($D_0 \sim D_{n-1}$)은 도 2를 설명하는 상기 소정 제어 회로로부터 발생된다. 도 7 및 도 8에 도시된 본 발명의 다른 실시예에 따른 전압 제어 발진기에서, 상기 트랜스 컨덕턴스(G_m) 증폭기(700)는 입력되는 전체 인덕턴스, 즉, L1 및 L2 와 전체 커패시턴스, 즉, 고정(nonswitched) 바랙터(varactor)(720) C_v , 및 커패시터 뱅크(bank)부(730)의 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호(V_o^+, V_o^-)를 발생시켜 발진 신호 출력단(V_o^+, V_o^- 노드)으로 출력한다.

<80> 도 7 및 도 8에 도시된 본 발명의 다른 실시예에 따른 전압 제어 발진기에서, 디지털 스위치들의 온오프를 제어하는 신호들($D_0 \sim D_{n-1}$)을 발생시키는 상기 소정 제어 회로는, 도 2에서와 같이, 상기 스위치(switche)드 바랙터들(varactors)(733)에 구비되는 상기 디지털 스위치들의 온오프를 제어하는 디지털 제어 신호를 발생시켜, 상기 스위치드 바랙터 면적의 적절한 선택으로, 상기 전체 캐패시턴스에 의하여 상기 발진기의 이득 변화율이 최소가 되도록 제어하는 것을 특징으로 한다.

<81> 특히, 상기 디지털 스위치들의 온오프 제어는, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산한 값이, [수학식 1]을 기초로 계산할 수 있는 상기 발진기의 이득을 나타내는 [수학식 2]로부터 계산된 [수학식 3]으로부터, 상기 k의 변화에 따른 상기 이득 변화율을 최소화하는 상기 A_{sw} 를 결정하는 것이다. [수학식 3]의 $C_{v,k}$ 는 [수학식 4]를 만족한다. [수학식 3]은, [수학식 2]에서 k의 변화에 무관하게 상기 발진기의 이득 $K_{vco,k}$ 이 일정 값을 가지도록 하는 조건 " $K_{vco,k} = K_{vco,k+1}$ "로 부터 계산된다. 단, [수학식 1] 내지 [수학식 4]의 계산에 사용되는 스위치드(switche)드 커패시터들(731), 및 스위치드(switche)드 바랙터들(varactors)(733) 각

각의 커패시턴스는, 도 8에 도시된 바와 같이 대칭적 구조로 되어있는 스위치드 (switched) 커패시터들(731), 및 스위치드(switched) 바랙터들(varactors)(733)의 어느 한 쪽에 대한 커패시턴스이다.

<82> 이상에서와 같이 본 발명의 개념 또는 다른 실시예에 따른 전압 제어 발진기에서, 트랜스 컨덕턴스(G_m) 증폭기(100)가 입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호(V_o)를 발생시켜 발진 신호 출력단(V_o 노드)으로 출력한다. 인덕터(inductor)(110)는 상기 전체 인덕턴스를 공급한다. 고정 (nonswitched) 바랙터(varactor)(120)는 콘트롤 전압(V_{cnt}) 입력단으로 입력되는 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스를 변동시켜, 상기 전체 커패시턴스 변동에 기여한다. 스위치드(switched) 커패시터들(130)은 소정 제어 회로에 의하여 제어되는 다수 개의 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되는 커패시터들을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여한다. 스위치드 (switched) 바랙터들(varactors)(140)은 상기 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압(V_{cnt})의 변동에 대응하여 커패시턴스가 변동되는 바랙터들(varactors)을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들(varactors)의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여한다.

<83> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용 되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로

본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<84> 상술한 바와 같이 본 발명에 따른 전압 제어 발진기는, 스위치드(switched) 커패시터와 바랙터(varactor)를 동시에 이용하는 LC(인덕터-커패시터) 전압 제어 발진기로서, 스위치드(switched) 커패시터의 커패시턴스가 변할 때, 바랙터(varactor) 커패시턴스가 동시에 변동되도록 하였다. 따라서, 본 발명에 따른 전압 제어 발진기는, 저잡음 특성을 가지며, 최근 저전압화 되어가고 있는 IC의 공급 전압에서도 넓은 주파수 대역폭을 실현할 수 있다. 또한, 스위치드(switched) 커패시터 개수 또는 그 커패시턴스의 증가에 무관하게, 본 발명에 따른 전압 제어 발진기에서는, 넓은 동작 주파수의 대역폭 및 이득(gain)이 일정하게 유지되므로, PLL(phase-locked loop)에 적용되는 경우 높은 안정도(stability)를 만족시킬 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호를 발생시켜 발진 신호 출력단으로 출력하는 트랜스 컨덕턴스 증폭기;

상기 전체 인덕턴스를 공급하는 인덕터;

콘트롤 전압 입력단으로 입력되는 콘트롤 전압의 변동에 대응하여 커패시턴스를 변동시켜, 상기 전체 커패시턴스 변동에 기여하는 고정 바랙터;

소정 제어 회로에 의하여 제어되는 다수개의 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되는 커패시터들을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여하는 스위치드 커패시터들; 및

상기 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 바랙터들을 구비하며, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여하는 스위치드 바랙터들을 구비하는 것을 특징으로 하는 전압 제어 발진기.

【청구항 2】

제 1항에 있어서, 상기 트랜스 컨덕턴스 증폭기는,

바이폴라 트랜지스터를 구비하여 설계되는 것을 특징으로 하는 전압 제어 발진기.

【청구항 3】

제 1항에 있어서, 상기 트랜스 컨덕턴스 증폭기는,

전계 효과 트랜지스터를 구비하여 설계되는 것을 특징으로 하는 전압 제어 발진기.

【청구항 4】

제 1항에 있어서, 상기 스위치드 커패시터들은,

다수개의 상기 커패시터들을 구비하며, 상기 커패시터들 각각의 커패시턴스는 이진 가중치가 부여되어 C_{SW} , $2^1 C_{SW}$, ..., $2^{(n-1)} C_{SW}$ (여기서, C_{SW} 는 최하위 커패시터의 커패시턴스) 값을 가지는 것을 특징으로 하는 전압 제어 발진기.

【청구항 5】

제 1항에 있어서, 상기 스위치드 바랙터들은,

다수개의 상기 바랙터들을 구비하며, 상기 바랙터들 각각의 커패시턴스는 이진 가중치가 부여되어 C_{VSW} , $2^1 C_{VSW}$, ..., $2^{(n-1)} C_{VSW}$ (여기서, C_{VSW} 는 최하위 바랙터의 커패시턴스) 값을 가지는 것을 특징으로 하는 전압 제어 발진기.

【청구항 6】

제 1항 또는 제 5항에 있어서, 상기 스위치드 바랙터들에 구비되는 상기 바랙터들은,

상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 수단인 것을 특징으로 하는 전압 제어 발진기.



【청구항 7】

제 1항 또는 제 5항에 있어서, 상기 스위치드 바랙터들에 구비되는 상기 바랙터들은,

상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 pn 접합 다이오드 구조를 가지는 것을 특징으로 하는 전압 제어 발진기.

【청구항 8】

제 1항에 있어서, 상기 소정 제어 회로는,

상기 전체 캐패시턴스에 의하여 상기 발진기의 이득 변화율이 최소가 되도록 상기 디지털 스위치들의 온오프를 제어하는 것을 특징으로 하는 전압 제어 발진기.

【청구항 9】

제 1항 또는 제 8항에 있어서, 상기 디지털 스위치들의 온오프 제어는,

상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값이, 상기 발진기의 이득을 나타내는 소정 수학식으로부터 계산된 수학식들

$$Q = -\frac{(1 + \frac{C_d}{C_{u,k}})^2}{9}, \quad R = -\frac{27 \cdot (\frac{C_d + C_{sw}}{C_{u,k}}) + 2 \cdot (1 + \frac{C_d}{C_{u,k}})^3}{54}$$

$$S = \sqrt[3]{R + \sqrt{Q^3 + R^2}}, \quad T = \sqrt[3]{R - \sqrt{Q^3 + R^2}}, \quad \text{where } S \cdot T = -Q$$

$$a = (S + T + (\frac{1}{3})) \cdot (1 + \frac{C_d}{C_{u,k}})^3 = \frac{A_0 + (k+1) \cdot A_{sw}}{A_0 + k \cdot A_{sw}}$$

$$A_{sw} = \frac{A_0 \cdot (a - 1)}{k \cdot (1 - a) + 1}$$

(여기서, C_d 는 발진 신호 출력단의 기생 부하 커패시턴스, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, C_{sw} 는 스위치드 커패시터들의 커패시턴스, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적)

로부터, 상기 k 의 변화에 따른 상기 이득 변화율을 최소화하는 상기 A_{sw} 를 결정하고, 수학식

$$C_{v,k} = (A_0 + k \cdot A_{sw}) \cdot C_{j0} \cdot (1 + V_{cnt}/\phi)^{-m}$$

(여기서, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적, V_{cnt} 는 입력되는 콘트롤 전압, C_{j0} 는 역바이어스 전압이 0일때의 바랙터의 단위 면적당 커패시턴스, ϕ 는 빌트인 포텐셜, m 은 바랙터 특성을 나타내는 임의의 계수)

를 만족하도록 제어하는 것을 특징으로 하는 전압 제어 발진기.

【청구항 10】

전압 제어 발진기의 전압 제어 발진 방법에 있어서,

상기 발진기에 구비되는 인덕터에 의하여, 전체 인덕턴스를 공급하는 단계;

상기 발진기에 구비되는 소정 바랙터에 의하여, 콘트롤 전압 입력단으로 입력되는 콘트롤 전압의 변동에 대응하여 커패시턴스를 변동시켜, 전체 커패시턴스 변동에 기여하는 단계;

상기 발진기에서 소정 제어 회로에 의하여 제어되는 다수개의 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되는 커패시터들로 구비되는 스위치드 커패시터들에 의하여, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 합산되는 상기 커패시터들 각각의 커패시턴스를 공급하여, 상기 전체 커패시턴스 변동에 기여하는 단계;

상기 발진기에서 상기 디지털 스위치들 및 상기 디지털 스위치들 각각에 접속되어 상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 바랙터들로 구비되는 스위치드 바랙터들에 의하여, 상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산시켜 공급함으로써, 상기 전체 커패시턴스 변동에 기여하는 단계; 및

상기 발진기에 구비되는 트랜스 컨덕턴스 증폭기에 의하여, 입력되는 전체 인덕턴스 및 전체 커패시턴스 변동에 응답하는 공진 주파수를 가지는 증폭된 발진 신호를 발생시켜 발진 신호 출력단으로 출력하는 단계를 구비하는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 11】

제 10항에 있어서, 상기 트랜스 컨덕턴스 증폭기는,

바이폴라 트랜지스터를 구비하여 설계되는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 12】

제 10항에 있어서, 상기 트랜스 컨덕턴스 증폭기는,
전계 효과 트랜지스터를 구비하여 설계되는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 13】

제 10항에 있어서, 상기 스위치드 커패시터들은,
다수개의 상기 커패시터들을 구비하며, 상기 커패시터들 각각의 커패시턴스는 이진 가중치가 부여되어 $C_{SW}, 2^1C_{SW}, \dots, 2^{(n-1)}C_{SW}$ (여기서, C_{SW} 는 최하위 커패시터의 커패시턴스) 값을 가지는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 14】

제 10항에 있어서, 상기 스위치드 바랙터들은,
다수개의 상기 바랙터들을 구비하며, 상기 바랙터들 각각의 커패시턴스는 이진 가중치가 부여되어 $C_{VSW}, 2^1C_{VSW}, \dots, 2^{(n-1)}C_{VSW}$ (여기서, C_{VSW} 는 최하위 바랙터의 커패시턴스) 값을 가지는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 15】

제 10항 또는 제 14항에 있어서, 상기 스위치드 바랙터들에 구비되는 상기 바랙터들은,
상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 수단인 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 16】

제 10항 또는 제 14항에 있어서, 상기 스위치드 바랙터들에 구비되는 상기 바랙터들은,

상기 콘트롤 전압의 변동에 대응하여 커패시턴스가 변동되는 pn 접합 다이오드 구조를 가지는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 17】

제 10항에 있어서, 상기 소정 제어 회로는,

상기 전체 커패시턴스에 의하여 상기 발진기의 이득 변화율이 최소가 되도록 상기 디지털 스위치들의 온오프를 제어하는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【청구항 18】

제 10항 또는 제 17항에 있어서, 상기 디지털 스위치들의 온오프 제어는,

상기 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값이, 상기 발진기의 이득을 나타내는 소정 수학식으로부터 계산된 수학식들

$$Q = -\frac{(1 + \frac{C_d}{C_{u,k}})^2}{9}, \quad R = -\frac{27 \cdot (\frac{C_d + C_{sw}}{C_{u,k}}) + 2 \cdot (1 + \frac{C_d}{C_{u,k}})^3}{54}$$

$$S = \sqrt[3]{R + \sqrt{Q^3 + R^2}}, \quad T = \sqrt[3]{R - \sqrt{Q^3 + R^2}}, \quad \text{where } S \cdot T = -Q$$

$$a = (S + T + (\frac{1}{3})) \cdot (1 + \frac{C_d}{C_{u,k}}))^3 = \frac{A_0 + (k+1) \cdot A_{sw}}{A_0 + k \cdot A_{sw}}$$

$$A_{sw} = \frac{A_0 \cdot (a-1)}{k \cdot (1-a) + 1}$$

(여기서, C_d 는 발진 신호 출력단의 기생 부하 커패시턴스, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, C_{sw} 는 스위치드 커패시터들의 커패시턴스, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적)

로부터, 상기 k 의 변화에 따른 상기 이득 변화율을 최소화하는 상기 A_{sw} 를 결정하고, 수학식

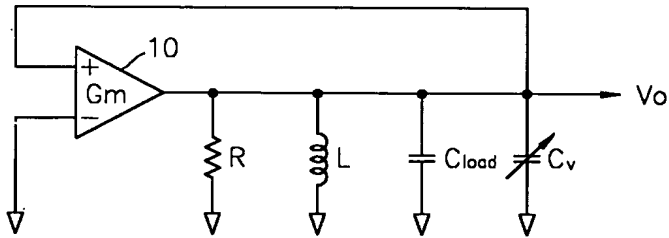
$$C_{vk} = (A_0 + k \cdot A_{sw}) \cdot C_{j0} \cdot (1 + V_{cnt}/\phi)^{-m}$$

(여기서, k 는 이진 디지털 제어 신호 값을 십진수로 바꾼 값, C_v, k 는 디지털 스위치들 중 온 상태로 되는 개수만큼 상기 바랙터들의 커패시턴스를 합산한 값, A_0 는 고정 바랙터의 커패시턴스를 구성하는 면적, A_{sw} 는 단위 스위치드 바랙터의 커패시턴스를 구성하는 면적, V_{cnt} 는 입력되는 콘트롤 전압, C_{j0} 는 역바이어스 전압이 0일때의 바랙터의 단위 면적당 커패시턴스, ϕ 는 빌트인 포텐셜, m 은 바랙터 특성을 나타내는 임의의 계수)

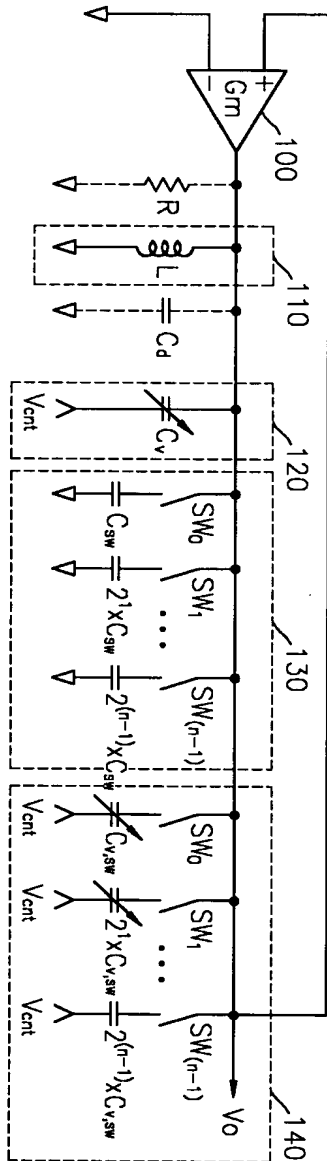
를 만족하도록 제어하는 것을 특징으로 하는 전압 제어 발진기의 전압 제어 발진 방법.

【도면】

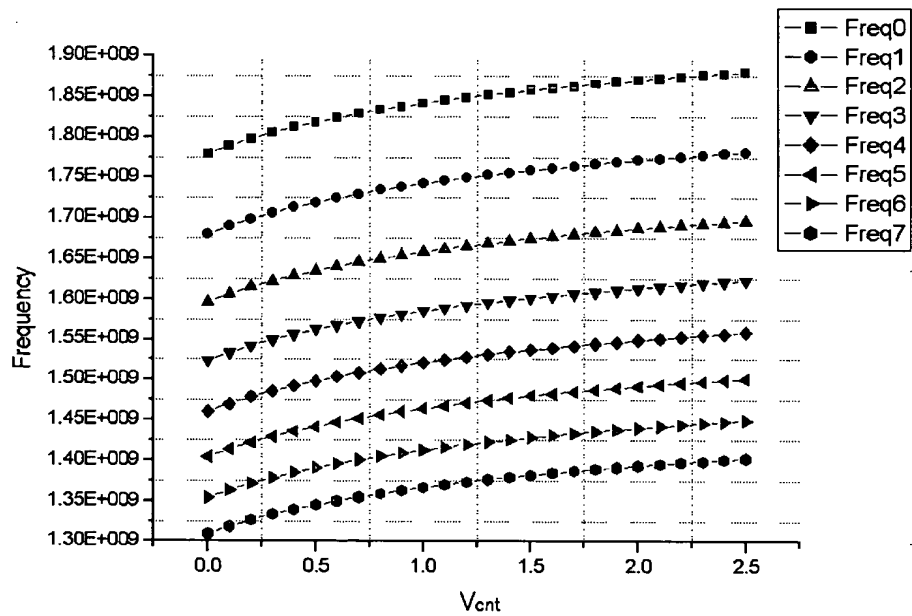
【도 1】



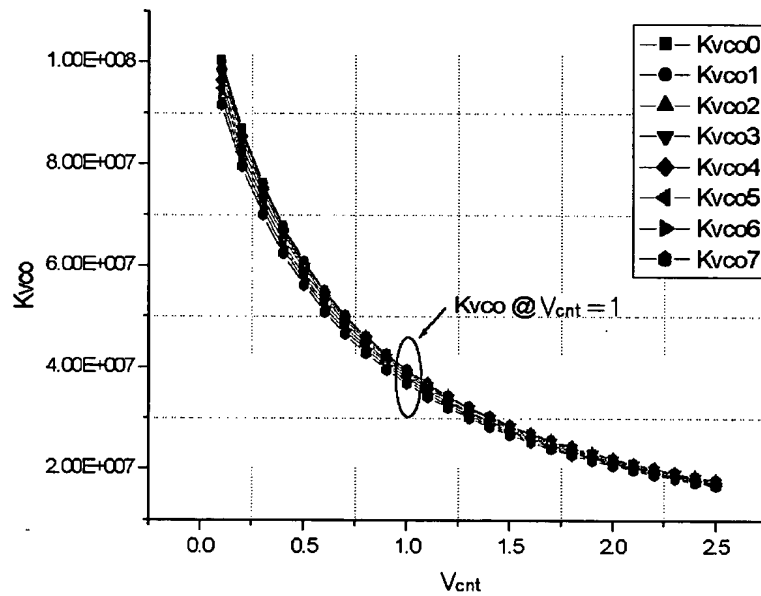
【도 2】



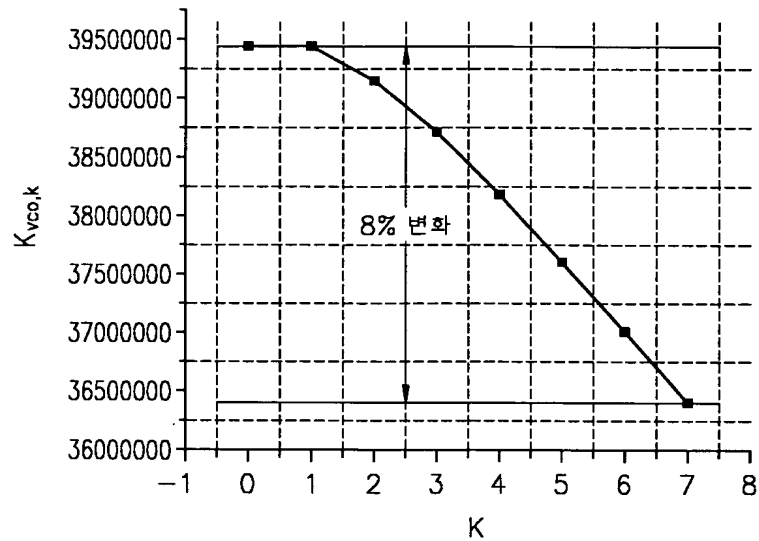
【도 3】



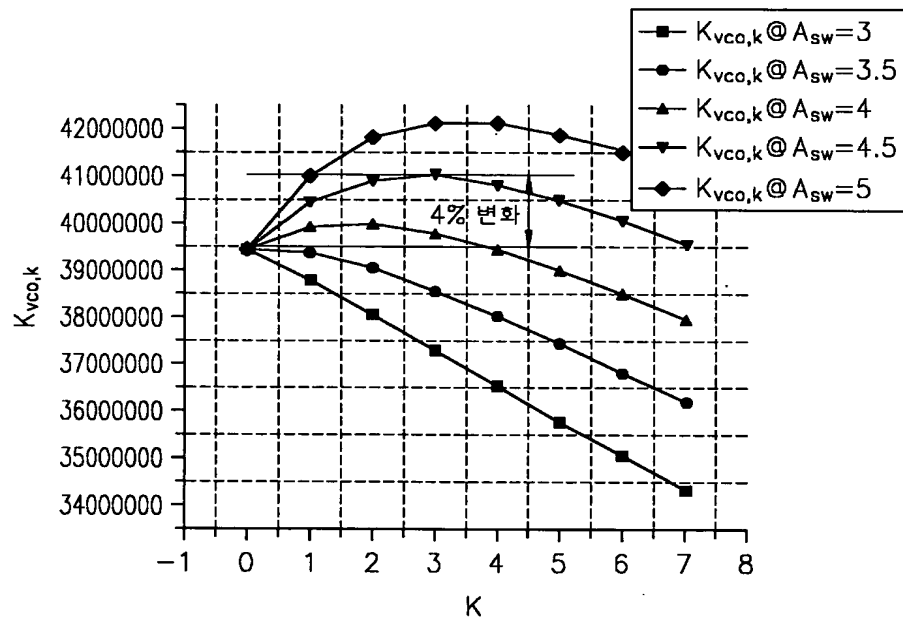
【도 4】



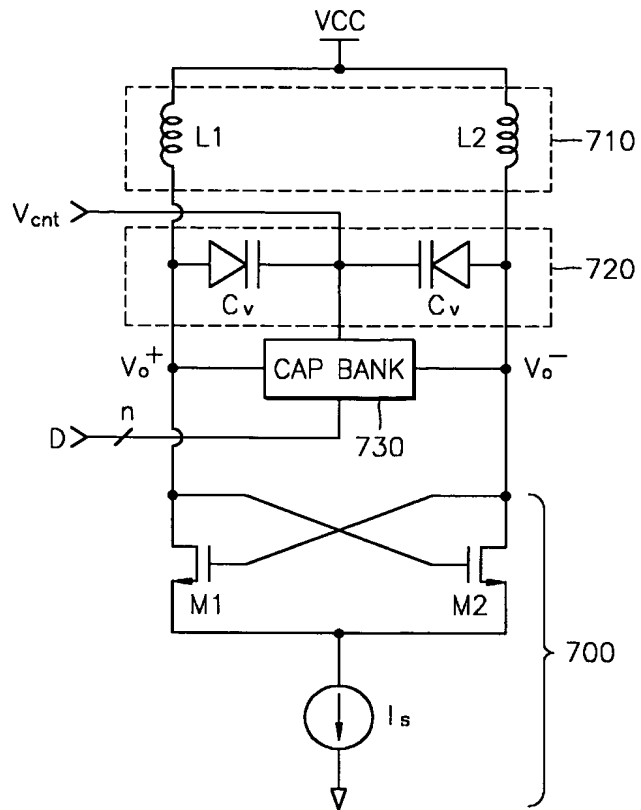
【도 5】



【도 6】



【도 7】



【도 8】

